

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Yi et al.

Serial No. To be assigned

Filed: Concurrently herewith

For: **PHASE-CHANGE MEMORY DEVICES WITH A SELF-HEATER  
STRUCTURE**

Date: February 17, 2004

MAIL STOP PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed are certified copies of the following Korean priority applications:

10-2003-0011356, filed February 24, 2003.

Respectfully submitted,



Timothy J. O'Sullivan  
Registration No. 35,632

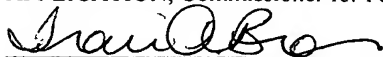
Myers Bigel Sibley & Sajovec, P.A.  
P. O. Box 37428  
Raleigh, North Carolina 27627  
Telephone: (919) 854-1400  
Facsimile: (919) 854-1401  
Customer No. 20792

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No. EV 381447409 US

Date of Deposit: February 17, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Traci A. Brown



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0011356  
Application Number

출원년월일 : 2003년 02월 24일  
Date of Application  
FEB 24, 2003

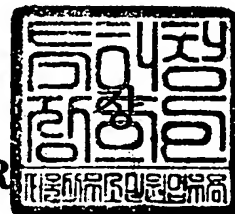
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      07      월      15      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2003.02.24
【국제특허분류】	H01L
【발명의 명칭】	셀프 히터 구조를 가지는 상변화 메모리 소자
【발명의 영문명칭】	Phase-change memory device having self-heater structure
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이지혜
【성명의 영문표기】	YI, Ji Hye
【주민등록번호】	760519-2397519
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 산 24번지 삼성전자선행공정 개발팀
【국적】	KR
【발명자】	
【성명의 국문표기】	호리이 히데키
【성명의 영문표기】	HORII, Hideki
【주소】	서울특별시 강남구 개포3동 주공아파트 506-1206
【국적】	JP

**【발명자】****【성명의 국문표기】** 하용호**【성명의 영문표기】** HA, Yong Ho**【주민등록번호】** 711107-1830415**【우편번호】** 442-370**【주소】** 경기도 수원시 팔달구 매탄동 990번지 신매탄아파트  
111-208**【국적】** KR**【심사청구】** 청구**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)**【수수료】****【기본출원료】** 20 면 29,000 원**【가산출원료】** 1 면 1,000 원**【우선권주장료】** 0 건 0 원**【심사청구료】** 20 항 749,000 원**【합계】** 779,000 원**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

상변화 메모리층의 저면에 하부 전극 및 상부 전극과의 전기적 접촉을 위한 2개의 접촉면이 형성되어 있는 셀프 히터 구조의 상변화 메모리 소자에 관하여 개시한다. 본 발명에 따른 상변화 메모리 소자는 반도체 기판상의 제1 레벨상에 형성된 제1 도전층과, 상기 반도체 기판상에서 상기 제1 레벨과는 다른 높이를 가지는 제2 레벨상에 형성된 제2 도전층과, 상기 반도체 기판의 주면과 평행하게 연장되고, 상기 반도체 기판에 대면하는 제1면을 가지는 상변화 메모리층과, 상기 제1 도전층으로부터 상기 상변화 메모리층으로 전기 신호를 공급하기 위하여 상기 상변화 메모리층의 제1면에 형성된 제1 접촉면과, 상기 상변화 메모리층으로부터 상기 제2 도전층으로 전기 신호를 공급하기 위하여 상기 상변화 메모리층의 제1면에 상기 제1 접촉면과 이격되어 형성된 제2 접촉면을 포함한다.

**【대표도】**

도 1

**【색인어】**

상변화 메모리층, 주열 히팅, 셀프 히터, 칼코겐 원소

**【명세서】****【발명의 명칭】**

셀프 히터 구조를 가지는 상변화 메모리 소자 {Phase-change memory device having self-heater structure}

**【도면의 간단한 설명】**

도 1은 본 발명의 바람직한 실시예에 따른 상변화 메모리 소자의 구조를 도시한 단면도이다.

도 2는 본 발명의 변형 실시예에 따른 상변화 메모리 소자의 구조를 도시한 단면도이다.

도 3은 본 발명에 따른 상변화 메모리 소자의 상변화 메모리층에 전류가 공급될 때 상변화 부분이 형성되는 양상을 보여주는 레이아웃이다.

**<도면의 주요 부분에 대한 부호의 설명>**

10: 반도체 기판, 12: 콘택, 20: 제1 층간절연막, 22: 제1 도전층, 24: 제3 도전층, 26: 제1 콘택 플러그, 26a: 제1 접촉면, 28: 제2 콘택 플러그, 28a: 제2 접촉면, 30: 제2 층간절연막, 32: 상변화 메모리층, 32a: 상변화 물질층, 32b: 상변화 부분, 34: 제1면, 36: 제2면, 40: 제3 층간절연막, 42: 제3 콘택 플러그, 52: 제2 도전층.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <6> 본 발명은 상변화 메모리 소자에 관한 것으로, 특히 칼코게나이드 물질의 특성을 이용하는 PRAM (phase-change random access memory)에 관한 것이다.
- <7> PRAM은 칼코게나이드(chalcogenide) 물질로 이루어지는 상변화 물질이 그 결정상에 따라 전기적 저항이 변화되는 특성을 이용하는 메모리 소자이다. 칼코게나이드 물질로 이루어지는 상변화 물질막은 인가되는 전류 프로파일의 차이에 의해 적어도 그 일부가 결정 상태 또는 비정질 상태로 변화된다. 상변화 물질막의 결정 상태는 예를 들면 온도 변화에 의하여 선택적으로 변화시킬 수 있다. 즉, 상변화 물질막에 인가되는 전류 프로파일을 제어함으로써 온도를 변화시켜 상변화 물질막의 적어도 일부의 결정 상태를 변화시킬 수 있다. 예를 들면, 비교적 높은 전류 펄스를 단시간 동안 인가하여 상변화 물질막의 온도를 그 녹는점인 약 610℃ 까지 높인 후 급속히 냉각시키면 상기 상변화 물질막은 저항이 높은 비정질 상태, 즉 리세트(RESET) 상태로 되고, 비교적 낮은 전류 펄스를 인가하여 냉각시키면 저항이 낮은 결정 상태, 즉 세트(SET) 상태로 된다.
- <8> 상변화 메모리 소자에 있어서, 구동시의 전력 소모를 줄이고 신뢰성을 향상시키기 위하여 가장 중요한 것은 상변화 물질막의 결정 상태를 변화시키기 위하여 요구되는 전류의 크기를 줄이는 것이다. 그에 따라, 상변화 물질막과 콘택 플러그 사이의 접촉 면적을 줄임으로써 주울 히팅(Joule heating) 효율을 높이려는 다양한 시도들이 있었다.

<9> 종래 기술에 따른 대표적인 상변화 메모리 소자는 기본적으로 하부 전극, 상변화 물질막 및 상부 전극을 가지며, 이들이 수직으로 차례로 연결되어 있는 수직 콘택 구조(vertical contact structure)를 가진다. (예를 들면, Stefan Lai, Tyler Lowrey, "OUM - A 180nm Nonvolatile Memory Cell Element Technology For Stand Alone and Embedded Applications", IEDM Tech. Dig. (2001) 참조) 이와 같은 구조에서는 상변화 물질막과 하부 전극과의 접촉 면적을 가능한 한 작게 만들어줌으로써 두 접촉면에서의 전류 밀도가 급격하게 증가되게 하고, 이를 이용하여 주열 히팅(Joule heating)을 일으키도록 한다. 여기서, 트랜지스터에서 공급해야 할 전류를 줄이면서 주열 히팅 효율을 높이기 위하여는 상변화 물질막과 하부 전극의 접촉 면적을 가능한 한 작게 하여 프로그래밍시의 전류 밀도를 증가시켜야 한다. 또한, 비교적 작은 면적을 가지는 하부 전극을 형성하는데 있어서 모든 메모리 셀, 모든 칩, 또는 모든 웨이퍼에 있어서의 면적 변화량(variation)이 가능한 한 작게 되도록 해야 한다. 그러나, 현재까지의 포토리소그래피 기술 및 식각 기술의 한계로 인하여 만족할 만한 범위 이내의 면적 변화량을 얻기란 쉬운 일이 아니다. 또한, 수직 콘택 구조를 가지는 종래 기술에 따른 상변화 메모리 소자에서는 식각 공정을 이용하여 상변화 물질막상에 상부 전극을 형성한다. 따라서, 상기 상변화 물질막과 하부 전극 및 상부 전극과의 두 접촉면을 모두 상변이 영역으로 사용할 수 없다. 그리고, 메모리 소자의 구동 조건이 상변화 물질막과 하부 전극과의 접촉 저항에 의존하게 된다. 그러나, 상변화 물질막과 하부 전극과의 접촉 면적이 좁고 이에 따라 접촉 저항의 변화율이 크게 되어 신뢰성이 저하되는 문제가 있다.



**【발명이 이루고자 하는 기술적 과제】**

<10> 본 발명의 목적은 상기한 종래 기술에서의 문제점을 해결하고자 하는 것으로, 낮은 전류로 구동 가능하고, 포토리소그래피 기술 및 식각 기술의 한계에 영향을 받지 않고 단위 셀 면적을 줄일 수 있으며, 소자의 동작을 균일하게 제어함으로써 신뢰성을 향상시킬 수 있는 상변화 메모리 소자를 제공하는 것이다.

**【발명의 구성 및 작용】**

<11> 상기 목적을 달성하기 위하여, 본 발명의 제1 양태에 따른 상변화 메모리 소자는 반도체 기판상의 제1 레벨상에 형성된 제1 도전층과, 상기 반도체 기판상에서 상기 제1 레벨과는 다른 높이를 가지는 제2 레벨상에 형성된 제2 도전층과, 상기 반도체 기판의 주면(main surface)과 평행하게 연장되고, 상기 반도체 기판에 대면하는 제1면을 가지는 상변화 메모리층(phase-change memory layer)과, 상기 제1 도전층으로부터 상기 상변화 메모리층으로 전기 신호를 공급하기 위하여 상기 상변화 메모리층의 제1면에 형성된 제1 접촉면과, 상기 상변화 메모리층으로부터 상기 제2 도전층으로 전기 신호를 공급하기 위하여 상기 상변화 메모리층의 제1면에 상기 제1 접촉면과 이격되어 형성된 제2 접촉면을 포함한다.

<12> 본 발명의 제1 양태에 따른 상변화 메모리 소자는 상기 제1 레벨상에서 상기 제1 도전층과 이격되어 형성된 제3 도전층을 더 포함할 수 있다. 이 때, 상기 제2 접촉면은 상기 제3 도전층을 통하여 상기 제2 도전층과 전기적으로 연통 가능하다. 또한,

<13> 본 발명의 제1 양태에 따른 상변화 메모리 소자는 상기 제1 접촉면과 상기 제1 도전층의 전기적 연통을 위한 제1 콘택 플러그와, 상기 제2 접촉면과 상기 제3 도전층의

전기적 연통을 위한 제2 콘택 플러그를 더 포함할 수 있다. 상기 제1 콘택 플러그 및 제2 콘택 플러그는 상기 반도체 기판상에서 동일 레벨상에 형성된다.

<14>        상기 상변화 메모리층은 상기 제1 접촉면 및 제2 접촉면이 형성된 부분을 제외한 모든 표면이 절연막으로 덮여 있다.

<15>        상기 제2 도전층은 상기 반도체 기판상에서 상기 제1 도전층보다 높은 레벨상에 형성된다.

<16>        또한, 상기 상변화 메모리층은 상기 반도체 기판상에서 상기 제1 도전층보다 높은 레벨상에 형성되고, 상기 제2 도전층은 상기 반도체 기판상에서 상기 상변화 메모리층보다 높은 레벨상에 형성된다.

<17>        상기 상변화 메모리층은 칼코겐 원소 (chalcogen element)를 포함하는 상변화 물질층으로 이루어진다.

<18>        또한, 상기 목적을 달성하기 위하여 본 발명의 제2 양태에 따른 상변화 메모리 소자는 반도체 기판에 대면하고 있는 제1면과 그 반대측인 제2면을 가지는 상변화 메모리층과, 상기 반도체 기판과 상기 상변화 메모리층과의 사이에 형성되어 있는 복수의 도전층과, 상기 상변화 메모리층이 상기 복수의 도전층과 각각 전기적으로 연통될 수 있도록 상기 상변화 메모리층의 제1면에 각각 연결되어 있는 복수의 콘택 플러그와, 상기 상변화 메모리층의 제2면을 완전히 덮고 있는 절연막을 포함한다.

<19>        상기 복수의 콘택 플러그는 상기 복수의 도전층 중에서 선택된 제1 도전층으로부터 상기 상변화 메모리층에 전기 신호를 인가하기 위한 제1 콘택 플러그와, 상기 상변화

메모리층으로부터 상기 복수의 도전층 중에서 선택된 제2 도전층에 전기 신호를 인가하기 위한 제2 콘택 플러그를 포함한다.

<20> 또한, 상기 목적을 달성하기 위하여, 본 발명의 제3 양태에 따른 상변화 메모리 소자는 상기 반도체 기판상에 형성된 하부 전극과, 상기 하부 전극 위에 형성된 상부 전극과, 상기 하부 전극과 상부 전극 사이에 형성된 상변화 메모리층과, 상기 하부 전극으로부터의 전기 신호를 상기 상변화 메모리층에 공급하기 위하여 상기 상변화 메모리층의 저면에 접속되어 있는 제1 콘택 플러그와, 상기 상변화 메모리층으로부터 공급된 전기 신호를 상기 상부 전극에 공급하기 위하여 상기 상변화 메모리층의 저면에서 상기 제1 콘택 플러그와 병렬로 접속되어 있는 제2 콘택 플러그를 포함한다.

<21> 상기 제1 콘택 플러그 및 제2 콘택 플러그는 상기 상변화 메모리층의 저면에서 동일 평면상에 접속되어 있다.

<22> 본 발명에 의하면, 하부 전극과 상부 전극 사이의 전류 흐름 경로에 따라 상변화 메모리층이 길게 연장되어 있어 상변화 메모리층 자체가 효과적인 주열 히터로 작용할 수 있다. 따라서, 프로그래밍에 요구되는 전류를 종래 기술에 비하여 절반 이하로 줄일 수 있으므로 트랜지스터의 폭을 대폭 줄일 수 있어 고집적화된 소자 제작이 가능하다. 또한, 상변화 물질층의 두께 및 폭을 조절함으로써 전류 흐름을 제어할 수 있는 부분 근처까지 상변화 부분의 범위를 조절하는 것이 가능하다. 따라서, 포토리소그래피 기술 및 식각 기술의 한계에 제한받지 않고, 보다 용이한 방법으로 상변화 물질막에서의 상변화 부분의 부피를 콘트롤함으로써 전류 흐름을 제어할 수 있으므로 균일성 및 신뢰성을 향상시킬 수 있다.

- <23> 다음에, 본 발명의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.
- <24> 다음에 예시하는 실시예들은 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 첨부 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 "위"에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.
- <25> 도 1은 본 발명의 바람직한 실시예에 따른 상변화 메모리 소자의 구조를 개략적으로 도시한 단면도이다.
- <26> 도 1을 참조하면, 본 발명에 따른 상변화 메모리 소자는 기본적으로 트랜지스터(도시 생략)를 구비한 반도체 기판(10)상에 각각 형성되어 있는 하부 전극 즉 제1 도전층(22)과, 상변화 메모리층(phase-change memory layer)(32)과, 상부 전극 즉 제2 도전층(52)을 포함하는 구조를 가진다.
- <27> 상기 제1 도전층(22)은 상기 반도체 기판(10)상의 제1 레벨상에서 제1 층간절연막(20)을 관통하도록 형성된 콘택(12)을 통하여 상기 반도체 기판(10)에 형성된 소스/드레인 영역(도시 생략)과 전기적으로 연결되어 있다. 상기 제1 도전층(22)은 금속, 합금, 금속 산화질화물, 또는 도전성 탄소화합물로 이루어질 수 있으며, 예를 들면 W, TiN, TaN, WN, MoN, NbN, TiSiN, TiAlN, TiBN, ZrSiN, WSiN, WBN, ZrAlN, MoSiN, MoAlN,

TaSiN, TaAlN, Ti, W, Mo, Ta, TiSi, TaSi, TiW, TiON, TiAlON, WON, TaON 등으로 이루어질 수 있다,

<28>       상기 제1 층간절연막(20)상에는 제1 도전층(22)과 동일 레벨상에서 상기 제1 도전층(22)과 이격되도록 제3 도전층(24)이 형성되어 있다. 상기 제1 도전층(22)과 제3 도전층(24)과의 사이는 제2 층간절연막(30)에 의하여 전기적으로 절연되어 있다. 상기 제3 도전층(24)은 금속, 합금, 금속 산화질화물, 또는 도전성 탄소화합물로 이루어질 수 있으며, 예를 들면 W, TiN, TaN, WN, MoN, NbN, TiSiN, TiAlN, TiBN, ZrSiN, WSiN, WBN, ZrAlN, MoSiN, MoAlN, TaSiN, TaAlN, Ti, W, Mo, Ta, TiSi, TaSi, TiW, TiON, TiAlON, WON, TaON 등으로 이루어질 수 있다,

<29>       상기 상변화 메모리층(32)은 상기 제1 층간절연막(20) 위에 형성된 제2 층간절연막(30) 위에서 상기 제1 도전층(22)보다 높은 레벨로 상기 반도체 기판(10)의 주면(main surface)과 평행하게 연장되어 있다. 상기 상변화 메모리층(32)은 상기 반도체 기판(10)에 대면하는 저면 즉 제1면(34)과, 그 반대측면인 상면 즉 제2면(36)을 가진다.

<30>       상기 상변화 메모리층(32)은 칼코젠 원소 (chalcogen element)를 포함하는 상변화 물질층(32a)으로 이루어진다. 도 1에는 상기 상변화 메모리층(32)이 상변화 물질층(32a)으로만 이루어지는 예를 도시하였다. 도 1의 변형 실시예를 나타낸 도 2에 도시한 바와 같이, 상기 상변화 메모리층(32)은 칼코젠 원소를 포함하는 상변화 물질층(32a)과, 상기 상변화 물질층(32a)의 상면을 덮는 금속층(38)으로 이루어질 수도 있다. 상기 상변화 메모리층(32)의 측벽 및 제2면은 제3 층간절연막(40)에 의하여 완전히 덮여 있다.

- <31>        상기 상변화 물질층(32a)은 Te, Se, Ge, 이들의 혼합물, 및 이들의 합금으로 구성되는 군에서 선택되는 물질로 이루어진다. 예를 들면, 상기 상변화 물질층(32a)은 Te, Se, Ge, Sb, Bi, Pb, Sn, As, S, Si, P, O 및 이들의 혼합물 또는 합금으로 구성되는 군에서 선택되는 물질을 포함한다. 바람직하게는, 상기 상변화 물질층(32a)은 Ge, Sb 및 Te의 조합, 또는 In, Sb, Te 및 Ag의 조합으로 이루어진다.
- <32>        상기 상변화 메모리층(32)의 제1면(34)에는 제1 콘택 플러그(26)와의 전기적 접속을 위한 제1 접촉면(26a)이 형성되어 있으며, 상기 상변화 메모리층(32)은 상기 제1 접촉면(26a)에 접속되어 있는 제1 콘택 플러그(26)를 통하여 상기 제1 도전층(22)으로부터 전기 신호를 공급받는다. 상기 제1 콘택 플러그(26)는 예를 들면 텅스텐으로 이루어질 수 있다.
- <33>        또한, 상기 상변화 메모리층(32)의 제1면(34)에는 상기 제1 접촉면(26a)과 이격되어 있는 위치에 제2 콘택 플러그(28)와의 전기적 접속을 위한 제2 접촉면(28a)이 형성되어 있다. 상기 상변화 메모리층(32)으로부터의 전기 신호는 상기 제2 접촉면(28a)에 접속되어 있는 제2 콘택 플러그(28)를 통하여 제2 도전층(52)에 공급된다. 상기 제2 콘택 플러그(28)는 예를 들면 텅스텐으로 이루어질 수 있다.
- <34>        상기 제2 도전층(52)은 상기 반도체 기판(10)상에서 상기 상변화 메모리층(32)을 덮고 있는 제3 층간절연막(40) 위에 형성되어 있다. 상기 제2 도전층(52)은 금속, 합금, 금속 산화물, 또는 도전성 탄소화합물로 이루어질 수 있으며, 예를 들면 W, TiN, TaN, WN, MoN, NbN, TiSiN, TiAlN, TiBN, ZrSiN, WSiN, WBN, ZrAlN, MoSiN, MoAlN, TaSiN, TaAlN, Ti, W, Mo, Ta, TiSi, TaSi, TiW, TiON, TiAlON, WON, TaON 등으로 이루어질 수 있다.

<35>      상기 제2 층간절연막(30) 및 제3 층간절연막(40)을 관통하도록 형성된 제3 콘택 플러그(42)를 통하여 상기 제2 도전층(52) 및 제3 도전층(24)이 전기적으로 연통 가능하다. 상기 제3 콘택 플러그(42)는 예를 들면 텅스텐으로 이루어질 수 있다. 여기서, 상기 상변화 메모리층(32)으로부터의 전기 신호는 상기 제2 콘택 플러그(28), 제3 도전층(24) 및 제3 콘택 플러그(42)를 순차적으로 통과하여 상기 제2 도전층(52)까지 전달된다.

<36>      본 발명에 따른 상변화 메모리 소자의 구성에 있어서, 상기 상변화 메모리층(32)은 상기 제1 접촉면(26a) 및 제2 접촉면(28a)이 형성된 부분을 제외한 모든 표면이 제2 층간절연막(30) 및 제3 층간절연막(40)으로 덮여 있으며, 상기 상변화 메모리층(32)의 제1 면에는 제1 접촉면(26a) 및 제2 접촉면(28a)이 이격되어 형성되어 있다. 이와 같이 동일 평면상에 형성된 제1 접촉면(26a) 및 제2 접촉면(28a)으로 구성되는 2개의 접촉면은 각각 상기 상변화 메모리층(32)으로의 전류 공급시 상기 상변화 메모리층(32)에서의 상변화를 유발시킬 수 있는 주울 히터(Joule heater) 역할을 한다. 여기서, 상기 제1 접촉면(26a)은 상기 제1 도전층(22)으로부터 공급되는 전기 신호에 의하여 히터로 작용하고, 상기 제2 접촉면(28a)은 상기 상변화 메모리층(32) 자체의 상변화에 의하여 히터 역할을 하게 되는 셀프 히터로서 작용한다.

<37>      도 3은 도 1 및 도 2에 도시되어 있는 본 발명에 따른 상변화 메모리 소자의 상변화 메모리층(23)의 레이아웃으로서, 상기 상변화 메모리층(32)에 전류가 공급될 때 상기 상변화 메모리층(32)에서 상변화 부분(32b)이 형성되는 양상을 보여준다.

<38>      도 3에 도시한 바와 같이, 상기 제1 전극(22)과 제2 전극(52)과의 사이의 전류 흐름 경로에 따라 상기 상변화 메모리층(32)이 길게 연장되어 있고, 상기 상변화

메모리층(32)의 저면에서 각각 주울 히터로 작용하는 상기 제1 접촉면(26a) 및 제2 접촉면(28a)이 동일 평면상에 형성되어 있으므로, 상기 상변화 메모리층(32) 자체가 효과적인 주울 히터로서 작용하게 된다. 따라서, 동일한 크기의 전류를 이용하여 프로그래밍할 때, 단일의 주울 히터를 사용하는 종래의 구성에 비해 상변화가 일어나는 부피가 약 2 배 이상 증가될 수 있다. 따라서, 프로그래밍을 위해 트랜지스터로부터 요구되는 전류의 크기를 종래 기술에 비하여 절반 이하로 줄일 수 있으며, 그 결과 트랜지스터의 폭을 통상적인 구조에서의 절반 이하로 줄이는 것이 가능하다. 따라서, 보다 집적화된 소자를 제조하는 것이 가능하며, 종래 기술에 비하여 절반 이하의 수준의 전류를 이용한 메모리 소자의 동작이 가능하므로 소자의 신뢰성이 향상될 수 있다.

<39> 또한, 본 발명에 따른 상변화 메모리 소자에서는 메모리 소자에서의 구동 조건 즉 프로그래머블 볼륨(programmable volume)이 주로 상기 상변화 메모리층(32)의 크기(dimension)에 의하여 결정된다. 종래 기술의 구성에서는 상변화 메모리층에서의 상변화 부분의 부피를 콘트롤할 수 있는 주된 요소가 하부 전극과 상변화 메모리층과의 접촉 면적이었으므로 상변화 메모리층에서의 상변화 부피를 조절하기 위하여는 포토리소그래피 공정 및 식각 공정을 이용하여 하부 전극과 상변화 메모리층과의 접촉 면적을 조절하여야만 하였다. 그러나, 본 발명에 따른 상변화 메모리 소자의 구성에서는 상기 상변화 메모리층(32)을 구성하는 상변화 물질층(32a)의 두께 및 폭이 상변화 부분(32b)의 부피를 콘트롤할 수 있는 주된 요소로 작용하게 된다. 즉, 상기 상변화 물질층(32a)의 두께 및 폭을 조절함으로써 전류 흐름을 제어할 수 있는 부분 근처까지 상변화 부분(32b)의 범위를 조절하는 것이 가능하다. 따라서, 종래 기술에서와 같이 포토리소그래피 기술 또는 식각 기술의 한계에 제한받지 않고, 상변화 물질막(32a)의 두께를 제어함으로써 보다 용



이한 방법으로 상기 상변화 부분(32b)의 부피를 콘트롤하여 전류 흐름을 제어할 수 있으며, 칩과 칩 사이, 또는 웨이퍼와 웨이퍼 사이의 저항 분포를 개선할 수 있으며, 메모리 소자의 구동시 균일성(uniformity)을 향상시킬 수 있다.

#### 【발명의 효과】

<40> 본 발명에 따른 상변화 메모리 소자는 하부 전극 및 상부 전극과의 전기적 접촉을 위하여 상변화 메모리층의 저면에 2개의 접촉면이 형성되어 있다. 또한, 상기 상변화 메모리층은 하부 전극과 상부 전극 사이의 전류 흐름 경로에 따라 길게 연장되어 있어 상변화 메모리층 자체가 효과적인 주열 히터로 작용할 수 있다. 그 결과, 동일한 크기의 전류를 이용하여 프로그래밍할 때, 트랜지스터로부터 요구되는 전류의 크기를 종래 기술에 비하여 절반 이하로 줄일 수 있는 장점이 있으며, 따라서 트랜지스터의 폭을 대폭 줄일 수 있어 고집적화된 소자 제작이 가능하다. 또한, 상변화 물질층의 두께 및 폭을 조절함으로써 전류 흐름을 제어할 수 있는 부분 근처까지 상변화 부분의 범위를 조절하는 것이 가능하다. 따라서, 포토리소그래피 기술 및 식각 기술의 한계에 제한받지 않고, 보다 용이한 방법으로 상변화 물질막에서의 상변화 부분의 부피를 콘트롤함으로써 전류 흐름을 제어할 수 있으므로 균일성 및 신뢰성을 향상시킬 수 있다.

<41> 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

**【특허청구범위】****【청구항 1】**

반도체 기판상의 제1 레벨상에 형성된 제1 도전층과,

상기 반도체 기판상에서 상기 제1 레벨과는 다른 높이를 가지는 제2 레벨상에 형성된 제2 도전층과,

상기 반도체 기판의 주면(main surface)과 평행하게 연장되고, 상기 반도체 기판에 대면하는 제1면을 가지는 상변화 메모리층 (phase-change memory layer)과,

상기 제1 도전층으로부터 상기 상변화 메모리층으로 전기 신호를 공급하기 위하여 상기 상변화 메모리층의 제1면에 형성된 제1 접촉면과,

상기 상변화 메모리층으로부터 상기 제2 도전층으로 전기 신호를 공급하기 위하여 상기 상변화 메모리층의 제1면에 상기 제1 접촉면과 이격되어 형성된 제2 접촉면을 포함하는 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 2】**

제1항에 있어서,

상기 제1 레벨상에서 상기 제1 도전층과 이격되어 형성된 제3 도전층을 더 포함하고,

상기 제2 접촉면은 상기 제3 도전층을 통하여 상기 제2 도전층과 전기적으로 연통 가능한 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 3】**

제2항에 있어서,

상기 제1 접촉면과 상기 제1 도전층의 전기적 연통을 위한 제1 콘택 플러그와,  
상기 제2 접촉면과 상기 제3 도전층의 전기적 연통을 위한 제2 콘택 플러그를 더  
포함하는 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 4】**

제3항에 있어서,  
상기 제1 콘택 플러그 및 제2 콘택 플러그는 상기 반도체 기판상에서 동일 레벨상  
에 형성된 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 5】**

제1항에 있어서,  
상기 상변화 메모리층은 상기 제1 접촉면 및 제2 접촉면이 형성된 부분을 제외한  
모든 표면이 절연막으로 덮여 있는 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 6】**

제1항에 있어서,  
상기 제2 도전층은 상기 반도체 기판상에서 상기 제1 도전층보다 높은 레벨상에 형  
성된 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 7】**

제1항에 있어서,  
상기 상변화 메모리층은 상기 반도체 기판상에서 상기 제1 도전층보다 높은 레벨상  
에 형성된 것을 특징으로 하는 상변화 메모리 소자.



**【청구항 8】**

제7항에 있어서,

상기 제2 도전층은 상기 반도체 기판상에서 상기 상변화 메모리층보다 높은 레벨상에 형성된 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 9】**

제1항에 있어서,

상기 상변화 메모리층은 칼코겐 원소 (chalcogen element)를 포함하는 상변화 물질층으로 이루어지는 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 10】**

제1항에 있어서,

상기 상변화 메모리층은 칼코겐 원소를 포함하는 상변화 물질층과, 상기 상변화 물질층의 상면을 덮는 금속층으로 이루어지는 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 11】**

제1항에 있어서,

상기 상변화 메모리층은 Te, Se, Ge, 이들의 혼합물, 및 이들의 합금으로 구성되는 군에서 선택되는 물질로 이루어지는 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 12】**

제11항에 있어서,



상기 상변화 메모리층은 Te, Se, Ge, Sb, Bi, Pb, Sn, As, S, Si, P, O 및 이들의 혼합물 또는 합금으로 구성되는 군에서 선택되는 물질을 포함하는 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 13】**

반도체 기판에 대면하고 있는 제1면과 그 반대측인 제2면을 가지는 상변화 메모리 층과,

상기 반도체 기판과 상기 상변화 메모리층과의 사이에 형성되어 있는 복수의 도전 층과,

상기 상변화 메모리층이 상기 복수의 도전층과 각각 전기적으로 연통될 수 있도록 상기 상변화 메모리층의 제1면에 각각 연결되어 있는 복수의 콘택 플러그와,

상기 상변화 메모리층의 제2면을 완전히 덮고 있는 절연막을 포함하는 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 14】**

제13항에 있어서, 상기 복수의 콘택 플러그는

상기 복수의 도전층 중에서 선택된 제1 도전층으로부터 상기 상변화 메모리층에 전기 신호를 인가하기 위한 제1 콘택 플러그와,

상기 상변화 메모리층으로부터 상기 복수의 도전층 중에서 선택된 제2 도전층에 전기 신호를 인가하기 위한 제2 콘택 플러그를 포함하는 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 15】**

제13항에 있어서,

상기 상변화 메모리층은 칼코겐 원소 (chalcogen element)를 포함하는 상변화 물질층으로 이루어지는 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 16】**

제13항에 있어서,

상기 상변화 메모리층은 칼코겐 원소를 포함하는 상변화 물질층과, 상기 상변화 물질층의 상면을 덮는 금속층으로 이루어지는 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 17】**

상기 반도체 기판상에 형성된 하부 전극과,

상기 하부 전극 위에 형성된 상부 전극과,

상기 하부 전극과 상부 전극 사이에 형성된 상변화 메모리층과,

상기 하부 전극으로부터의 전기 신호를 상기 상변화 메모리층에 공급하기 위하여 상기 상변화 메모리층의 저면에 접속되어 있는 제1 콘택 플러그와,

상기 상변화 메모리층으로부터 공급된 전기 신호를 상기 상부 전극에 공급하기 위하여 상기 상변화 메모리층의 저면에서 상기 제1 콘택 플러그와 병렬로 접속되어 있는 제2 콘택 플러그를 포함하는 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 18】**

제17항에 있어서,



상기 제1 콘택 플러그 및 제2 콘택 플러그는 상기 상변화 메모리층의 저면에서 동일 평면상에 접속되어 있는 것을 특징으로 하는 상변화 메모리 소자.

【청구항 19】

제17항에 있어서,

상기 상변화 메모리층은 칼코겐 원소 (chalcogen element)를 포함하는 상변화 물질층으로 이루어지는 것을 특징으로 하는 상변화 메모리 소자.

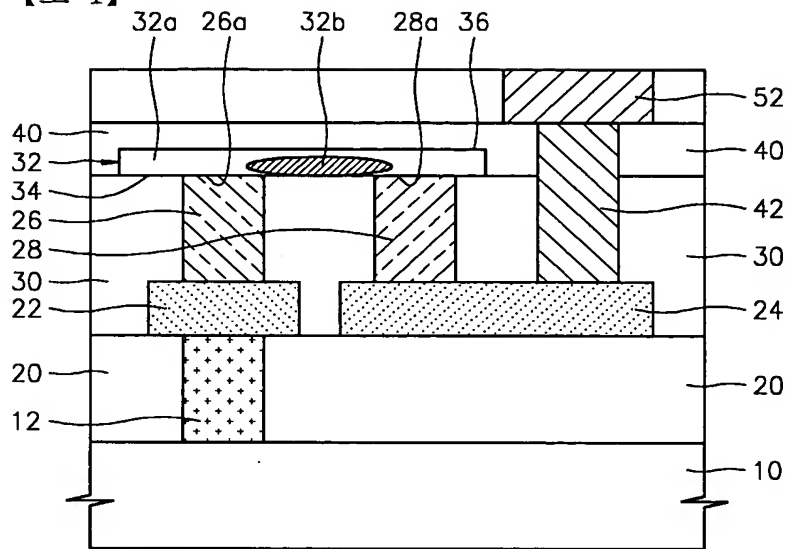
【청구항 20】

제17항에 있어서,

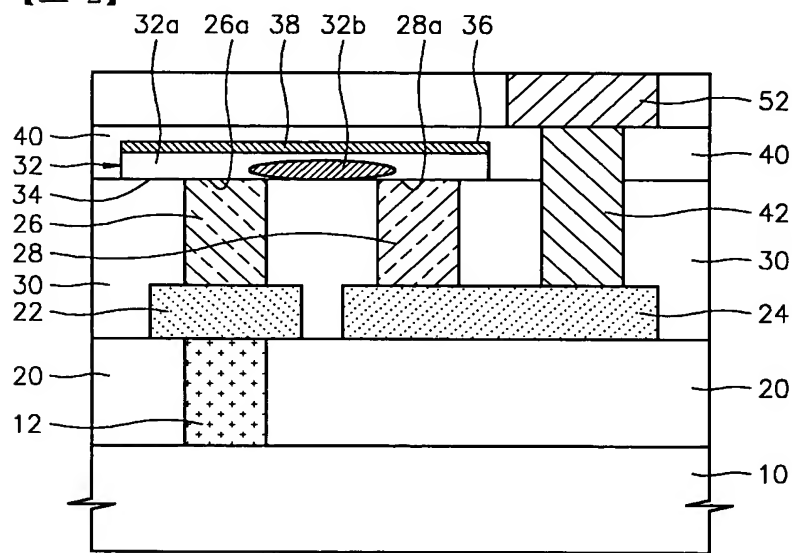
상기 상변화 메모리층은 칼코겐 원소를 포함하는 상변화 물질층과, 상기 상변화 물질층의 상면을 덮는 금속층으로 이루어지는 것을 특징으로 하는 상변화 메모리 소자.

【도면】

【도 1】



【도 2】



【도 3】

